

SIGNAL PROCESSING CIRCUIT

Publication number: JP4070947 (A)

Publication date: 1992-03-05

Inventor(s): MATSUI HISAYOSHI

Applicant(s): CANON KK

Classification:

- international: G06F13/38; G06F5/00; G06F13/38; G06F5/00; (IPC1-7): G06F5/00; G06F13/38

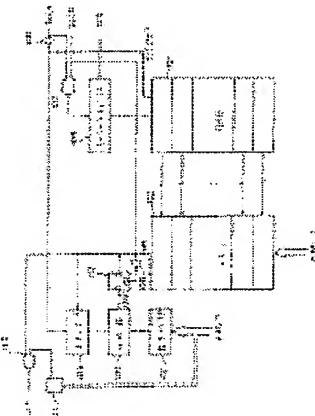
- European:

Application number: JP19900175349 19900704

Priority number(s): JP19900175349 19900704

Abstract of JP 4070947 (A)

PURPOSE: To count the prescribed transfer frequency of data in a simple constitution and to attain the signal processing jobs by setting the transfer frequency of the serial data and producing an interruption when the data transfer frequency reaches a set level. CONSTITUTION: The number of words are counted by a counter means 105 for the serial data inputted in series, and these input serial data are successively stored in a storage means 101. The number of words is set for the serial data and the count number of the counter 105 is compared with the value set by a setting means 103. When the coincidence is secured between both values, an interruption is produced and at the same time the serial data of the set number of words are inputted. Then the data of said number of words are transferred to an internal memory 102 for the processing of the data. Thus the prescribed transfer frequency of data is counted in a simple constitution and the signals are processed.



Data supplied from the esp@cenet database — Worldwide

⑯日本国特許庁(JP) ⑯特許出願公開
⑯公開特許公報(A) 平4-70947

⑮Int. Cl.⁵
G 06 F 13/38
5/00

識別記号 350
S

庁内整理番号 7052-5B
8724-5B

⑯公開 平成4年(1992)3月5日

審査請求 未請求 請求項の数 2 (全7頁)

⑯発明の名称 信号処理回路

⑯特 願 平2-175349
⑯出 願 平2(1990)7月4日

⑯発明者 松井 久義 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑯出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
⑯代理人 弁理士 大塚 康徳 外1名

明細書

記内部メモリに転送するようにしたことを特徴とする請求項第1項に記載の信号処理回路。

1. 発明の名称

信号処理回路

2. 特許請求の範囲

(1) シリアルで入力されるシリアルデータのワード数を計数する計数手段と、

入力されたシリアルデータを順次格納する記憶手段と、

前記シリアルデータのワード数を設定する設定手段と、

前記計数手段の計数値と前記設定手段の設定値とを比較し、両者が一致した時に割込みを発生する割込み発生手段と、

前記設定手段に設定されたワード数のシリアルデータを入力すると、前記ワード数のデータを前記記憶手段より処理用の内部メモリに転送する転送手段と、

を備えることを特徴とする信号処理回路。

(2) 前記転送手段は前記割込み発生手段の割込み発生タイミングに同期して前記記憶手段より前

3. 発明の詳細な説明

[産業上の利用分野]

本発明はシリアル・データの送受信に使用される信号処理回路に関するものである。

[従来の技術]

従来のデジタル信号処理プロセッサ（以下、DSPと称す）の構成を第4図に示す。ここでは、DSPを用いてデータ伝送用の変復調装置が構成されている。第4図において、A/D変換されたデジタルデータは通常DSPのシリアルポートより入力され、このDSP内ではシリアルポートから1ワードのデータが入力される毎に割込み発生器403より割込みが発生する。そして、この割込み処理の中で1ワード毎のデータをシリアルレジスタ400から内部レジスタ401へ読み取り、内部レジスタ401を介してメモリ402に転送していた。

CCITT勧告V.29 9600bps変復調装置を例にとると、A/D変換器410のタイミングクロックの周波数を9600Hzとすると、変調速度は2

換速度をA、受信データの変調速度をBとすると1Si中の割込み処理の回数はA/B回であり、メイン処理では、この回数を常に監視する必要があった。

しかしながら上記従来例では、DSPの信号処理には本来不要である割込み処理を行わねばならず、またその割込み処理とメイン処理のインターフェースを行うために、例えばカウンタなどを設けて、そのカウンタのクリアやインクリメント、或はデイクリメントするなどのインターフェース処理を行なわなければならぬという欠点があつた。

本発明は上記従来例に鑑みてなされたもので、シリアル・データのデータ転送回数を設定し、その設定された回数だけデータ転送が行なわれた時に割込みを発生させることにより、簡単な構成で所定回数のデータ転送を計数して信号を処理できる信号処理回路を提供することを目的とする。

[課題を解決するための手段]

上記目的を達成するために本発明の信号処理回

400 baud（ボー）なので1シンボルインターバル（Si）の間に4回A/D変換が行なわれ、DSPでは4回の割込みが発生する。この割込みの都度、割込み処理が起動されて、DSPのシリアルポートに入力されたデジタルデータがメモリに転送されるとともに、転送データ数が計数される。

この場合のメイン処理と割込み処理のフローチャートを第5図（A）（B）に示し、それらの動作を説明する。第5図（A）はDSPのメイン処理を示すフローチャートで、1Si毎に復調処理を繰り返し実行している。ステップS500では1Si当たりのサンプル数をセットし、ステップS501で転送データカウンタDCNTを“0”にクリアする。そして、ステップS502の復調処理終了後、ステップS503で転送データカウンタDCNTの内容を監視して、その内容が4となつたら、即ち、第5図（B）に示す割込み処理を4回行なつたことを判断すると、1Si経過したことを確認していた。ここで、A/D変換の変

路は以下の様な構成からなる。即ち、

シリアルで入力されるシリアルデータのワード数を計数する計数手段と、入力されたシリアルデータを順次格納する記憶手段と、前記シリアルデータのワード数を設定する設定手段と、前記計数手段の計数値と前記設定手段の設定値とを比較し、両者が一致した時に割込みを発生する割込み発生手段と、前記設定手段に設定されたワード数のシリアルデータを入力すると、前記ワード数のデータを前記記憶手段より処理用の内部メモリに転送する転送手段とを備える。

[作用]

以上の構成において、計数手段により、シリアルで入力されるシリアルデータのワード数を計数し、入力されたシリアルデータを順次記憶手段に格納する。こうして入力されるシリアルデータのワード数を設定しておき、この計数手段の計数値と設定手段の設定値とを比較し、両者が一致した時に割込みを発生するとともに、設定されたワード数のシリアルデータを入力すると、そのワード

数のデータを記憶手段より処理用の内部メモリに転送するように動作している。

[実施例]

以下、添付図面を参照して本発明の好適な実施例を詳細に説明する。

[DSPのシリアル・インターフェース部分

(第1図、第2図)]

第1図は本実施例のDSPのシリアル・インターフェース部分の構成を示すブロック図、第2図はそのタイミングチャートである。

同図において、106はシリアル入力レジスタ(シフトレジスタ)で、クロック信号(S'IC K)に同期して入力されるシリアルデータ(SID)を入力して格納している。こうしてシリアルに入力されて記憶されたシリアル入力レジスタ106のデータは、パラレルに出力することができ FIFOメモリ101のパラレル入力に出力されている。FIFO101の各ワード毎の出力は次のワードの入力に接続されるとともに、更にメモリ102の各ワード毎の入力端子にも接続されて

り、このFIFOWR信号の立上がりでシリアル入力レジスタ106のパラレルデータがFIFO101に書き込まれる。

カウンタ105の出力は比較器104の一方の入力端子に接続され、比較器104の他方の入力端子にはに設定レジスタ103の出力が接続されている。これにより、比較器104の出力CMPは、カウンタ105の出力と設定レジスタ103の出力値とが一致するとハイレベルになる。このCMP出力は、Dフリップフロップ105のD入力に接続されている。尚、この設定レジスタ103はDSPの内部バスに接続されており、図示しない制御部等によりデータの読み出し及び書き込みが可能である。

比較器104のCMP出力によりセットされるDフリップフロップ112のQ／(Q)(／はロウアクティブであることを示す)出力は、メモリ102の各ワードの書き込み信号(WR)、カウンタ105のリセット入力R及びAND回路110の一方の入力に接続されている。このAND回路

いる。これにより、シリアルデータSIDはシリアル・入力レジスタ106でパラレルデータに変換されてFIFOメモリ101に順次格納された後に、メモリ102にも記憶される。なお、メモリ102の各ワード毎の出力はDSPの内部バスに接続されており、この内部バスを介して図示しない制御部等により読み出すことができる。

シリアル入力用クロックSICKはAND回路107の一方の入力端子に接続され、AND回路107の他の一方の入力端子には、シリアル入力イネーブル信号SIENが接続されている。AND回路107の出力は、シリアル入力レジスタ106のシフトクロック入力に接続される。SIENをインバータ108により反転した信号は、カウンタ105のカウントクロック入力端子に接続されており、このカウンタ105はクロック入力の立上がり(SIENの立下がり)に同期してカウントアップされる。また、インバータ108により反転されたSIEN信号は、FIFO101の書き込み入力信号FIFOWRに接続されてお

り、110の他方の入力には割込み制御用レジスタ111の出力が接続されている。この割込み制御レジスタ111の入力はDSPの内部バスに接続され、図示しない制御部のプログラムにより“1”または“0”にセットされる。このAND回路110の出力は、DSPの処理に対する割込み信号となっているため、制御用レジスタ111の値を“0”にセットすると、DSPに対する割込み禁止となる。

シリアル・クロック(SICK)はAND回路107の一方の入力に接続されるとともに、更にインバータ109を介してフリップフロップ112のクロック入力端子にも接続されている。よって、フリップフロップ112はCMP出力がハイレベルのときはシリアルクロックSICKの立上がりでセットされる。

以上の構成において、シリアル入力レジスタ106、FIFOメモリ101及びメモリ102の各ワードを4ビットとし、第2図に示すようなSICK、SIEN、SIDが入力された場合を例

にとつて第1図の回路の動作を説明する。

まず、図示しない制御部等におけるDSPのプログラムは、リセット後の初期化処理で設定レジスタ103に“4”を設定し、割込み制御レジスタ111に“1”（割込みエネーブル）を設定するものとする。これにより、第2図に示す通り、SIENがハイレベルの間にSIDが4ビット、シリアル入力レジスタ106に入力される。そして、SIEN信号が立下がるとインバータ108により反転されてFIFOWRが立上がり、このエッジでレジスタ106に取込まれたデータがパラレルでFIFO101に書込まれる。それと同時に、SIEN信号が立下がるとカウンタ105はカウントアップされる。

このように、SIEN信号を入力する度に上記動作が繰返されて、設定レジスタ103に設定した“4”に対応する4回目のSIENが入力されると、そのSIENの立下がりで、FIFOメモリ101に4ワード目のデータが格納される。これと同時にカウンタ105の内容は“4”となつ

ており、AND回路110の他の入力である割込み制御レジスタ111の出力が“1”なので、この信号の立上りでDSPに割込みがかかることがある。

ここで、シリアル入力レジスタ106、FIFO101及びメモリ102のビット数は4ビットの場合で説明したが、これらは必要に応じてビット数を増減させればよい。またFIFO101とメモリ102のワード数は、設定レジスタ103に設定可能な最大値となるように任意に決めればよい。

上記のようなシリアルインターフェースを持つDSPにより、例えばCCITT勧告V.29の9600bpsの変復調装置を実現した場合、動作フローは第3図(A) (B) のように示すことができる。

即ち、第3図(A)では、ステップS1で1シンボル・インターバル(Si)のサンプル数を“4”にセットし、ステップS2で割込み待ちに進む。

て設定レジスタ103の内容と一致するので、比較器104の出力CMPは第2図に示すようにハイレベルとなる（タイミングT1）。

更に、このCMP信号がDフリップフロップ112のD入力端子に入力されているため、シリアル入力用クロックSICKの立下がりで、フリップフロップ112のQ／出力は第2図のようにタイミングT2でロウレベルになる。これによりカウンタ105はリセットされる。このタイミングで比較器104のCMP出力はロウレベルとなり、フリップフロップ112の出力はSICK1クロックの間ロウレベルとなつた後にハイレベルに戻る。

このフリップフロップ112のQ／出力はメモリ102の書き込み信号WRともなつてゐるため、フリップフロップ112のQ／出力の立上りで、FIFOメモリ101に格納されていたデータが全てメモリ102の各ワードに転送される。この時、Dフリップフロップ112のQ／出力はAND回路110を通してDSPの割込み信号となつ

第3図(B)の割込み処理では、この割込みは1シンボル・インターバル(Si)毎に発生しているため、ステップS3で1シンボル・インターバル(Si)の復調処理を実行するだけでよいので、第5図(B)の従来例のような、カウンタ(DCNT)のインクリメントやメモリ転送などのオーバーヘッド処理を減じることができる。このため、その余つた時間をより高精度な復調処理などに使用することも可能となる。

また、第1図に示したFIFO101及びメモリ102及びシリアル入力レジスタ106等は、従来例でも同様なワード数が必要であり、本実施例によるハードウェアの増加分は設定レジスタ103、比較器104、カウンタ105、インバータ109、AND回路110、制御レジスタ111、フリップフロップ112等の部分であり、大幅なハードウェアの増加にはならない。

以上説明したように本実施例によれば、DSPのシリアル・インターフェースに比較的小規模のハードウェアで構成されるシリアル入力のカウン

タ入力回数の設定レジスタ及び比較器などを備えて、1シンボル・インターバルごとに割込みを発生させる回路を設けることにより、復調などの信号処理のプログラムの冗長部分を大幅に削減できるという効果がある。

[発明の効果]

以上説明したように本発明によれば、シリアル・データのデータ転送回数を設定し、その設定された回数だけデータ転送が行なわれた時に割込みを発生させることにより、簡単な構成で所定回数のデータ転送を計数して信号を処理できる効果がある。

4. 図面の簡単な説明

第1図は本実施例のDSPに付加するインターフェース部の構成を示すブロック図。

第2図は第1図のシリアル・インターフェース部の動作タイミングを示す図。

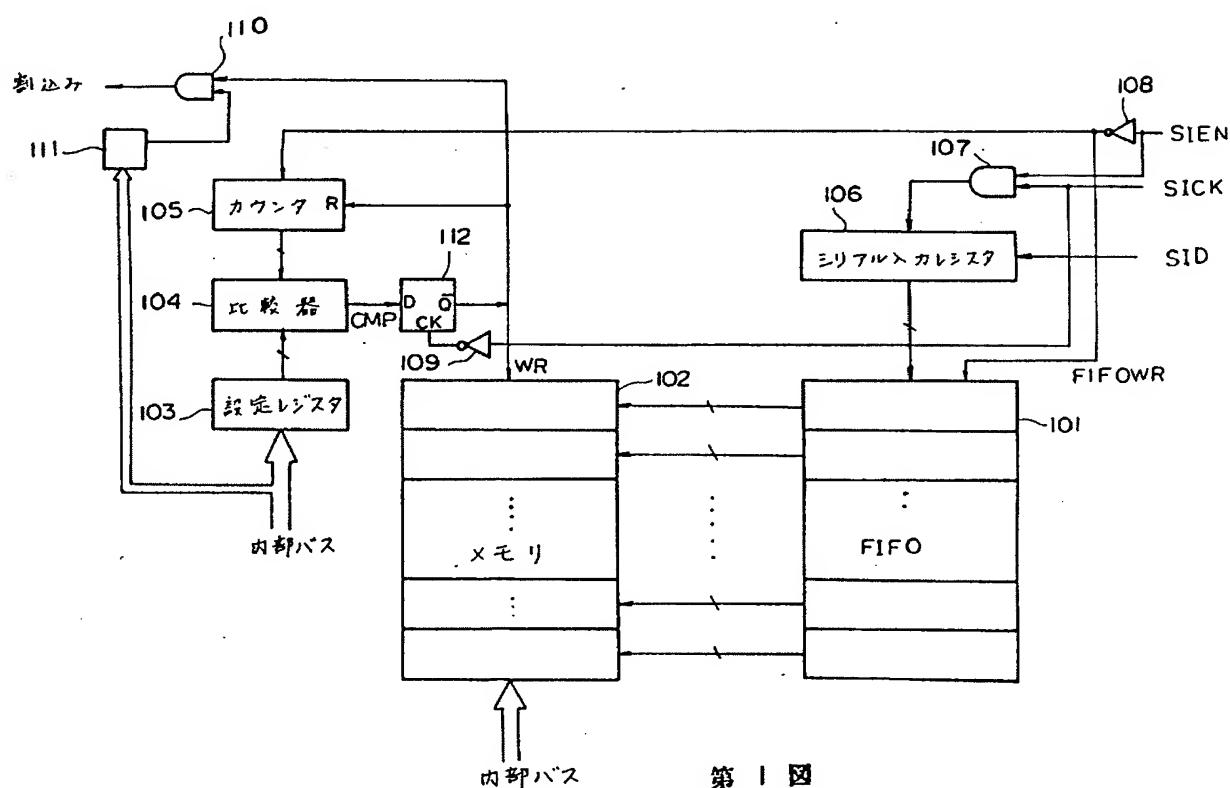
第3図(A) (B)は本実施例のインターフェース部を備えるDSPの復調処理を示すフローチャート。

第4図は従来のDSPのシリアル・インターフェース部の構成を示すブロック図、そして

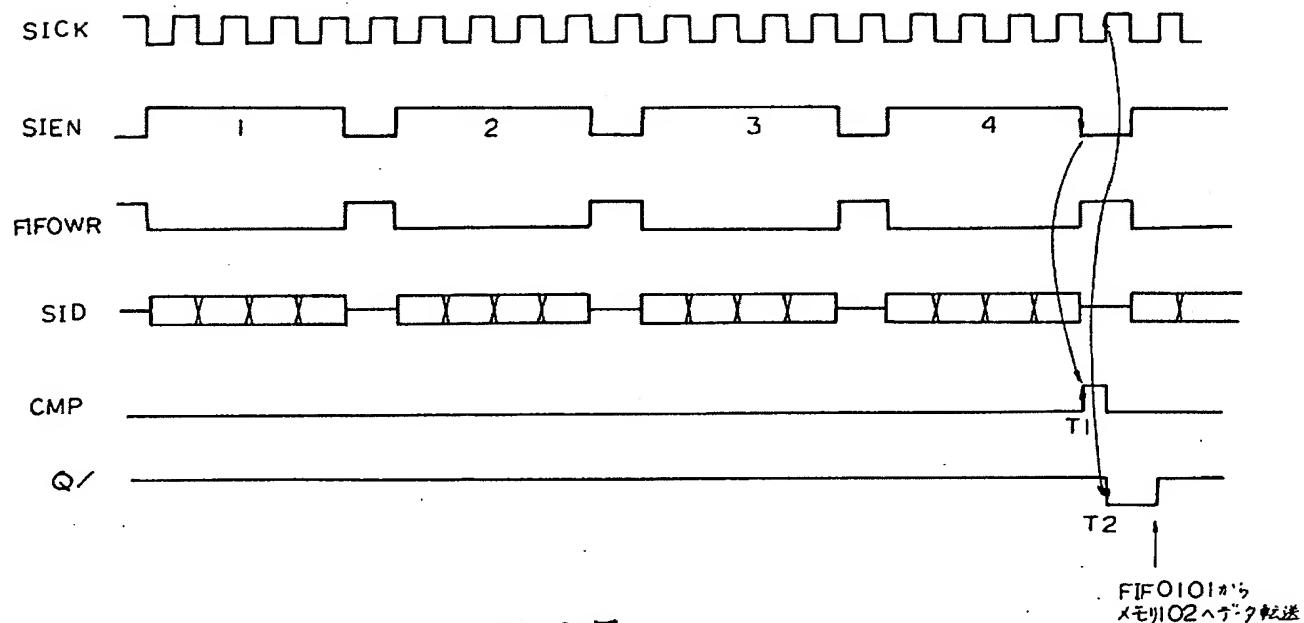
第5図(A) (B)は従来のDSPにおける復調処理を示すフローチャートである。

図中、101…FIFOメモリ、102…メモリ、103…設定レジスタ、104…比較器、105…カウンタ、106…シリアル入力レジスタ、107、110…AND回路、111…設定レジスタ、112…フリップフロップである。

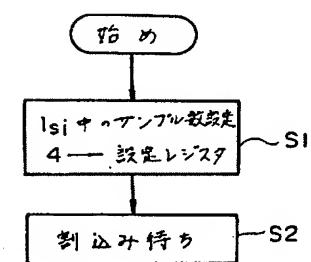
特許出願人 キヤノン株式会社
代理人 弁理士 大塚康徳 (他3名)



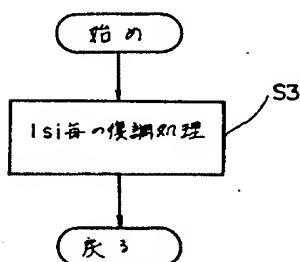
第1図



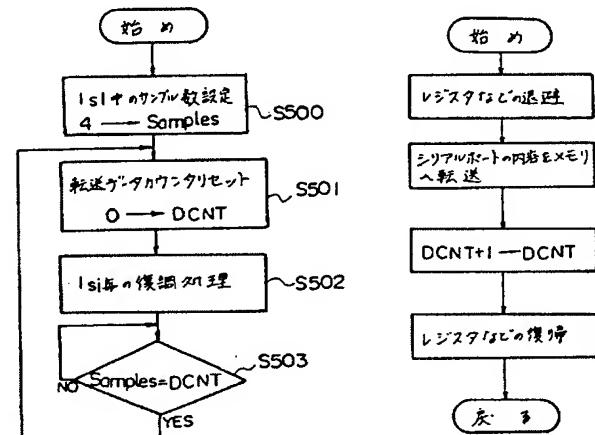
第2図



第3図 (A)

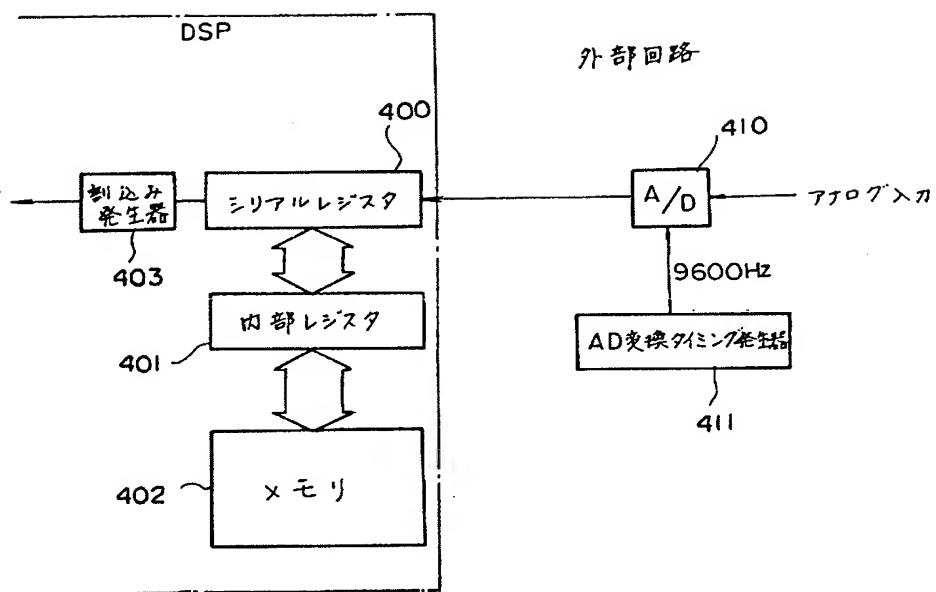


第3図 (B)



第5図 (A)

第5図 (B)



第4図